

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-109406

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G02F 1/136
G02F 1/1343
H01L 21/768
H01L 29/786
H01L 21/336

(21)Application number : 09-266681

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.09.1997

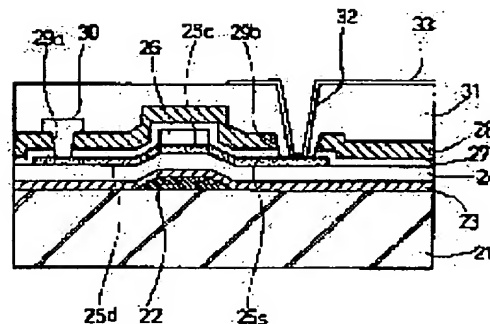
(72)Inventor : YAMAJI TOSHIFUMI
ODA NOBUHIKO

(54) DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a display device which is lowered in contact resistance and is simplified in constitution by bringing ITO(indium tin oxide) film of a transparent electrode into direct contact with source regions.

SOLUTION: Gate electrodes 22, a silicon nitride film 23, a silicon oxide film 24 and a silicon film 25 are formed on an insulating substrate 21. A silicon oxide film 27 and a silicon nitride film 28 are formed on the silicon film and first and second contact holes 29a, 29b penetrating these films are formed. Electrodes 30 in contact with the drain regions 25d through the first contact holes 29a are arranged. The entire part is coated with a planarization film 31 and third contact holes 32 are formed at the points corresponding to the second contact holes 29b of the planarization film 31. Transparent electrodes 33 in direct contact with source regions 25a are arranged via the third contact holes 32.



LEGAL STATUS

[Date of request for examination] 22.05.2000

[Date of sending the examiner's decision of rejection] 09.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

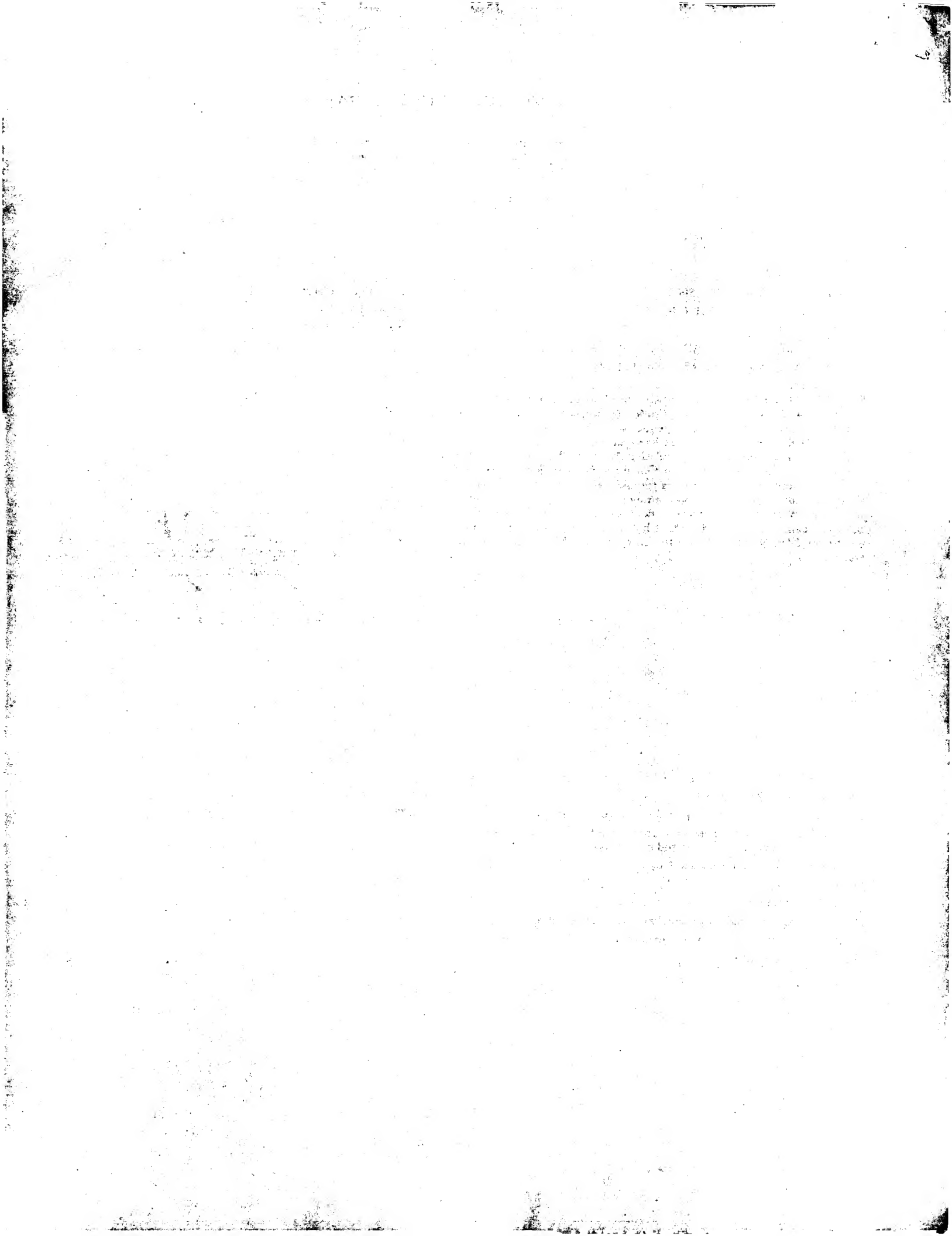
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-15091

[Date of requesting appeal against examiner's decision of rejection] 08.08.2002

[Date of extinction of right]



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-109406

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.^a
G 0 2 F 1/136
1/1343
H 0 1 L 21/768
29/786
21/336

識別記号
5 0 0

F I
G 0 2 F 1/136
1/1343
H 0 1 L 21/90
29/78
B
6 1 2 C
6 2 7 A

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平9-266681

(22)出願日 平成9年(1997)9月30日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 小田 恒彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

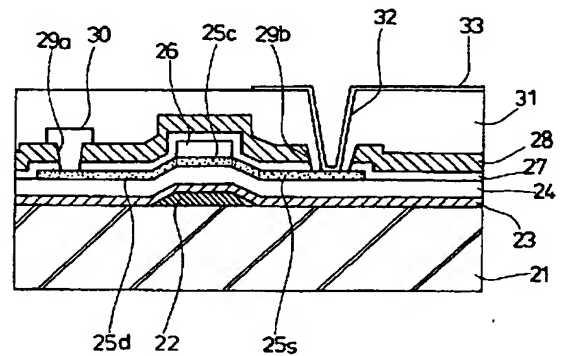
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 表示装置とその製造方法

(57)【要約】

【課題】 透明電極のITO膜をソース領域に直接コンタクトさせることにより、コンタクト抵抗を減じ構成を簡素化した表示装置を得る。

【解決手段】 絶縁基板21上にゲート電極22、窒化シリコン膜23、酸化シリコン膜24、およびシリコン膜25を形成する。シリコン膜25上に酸化シリコン膜27、窒化シリコン膜28を形成し、これらを通する第1と第2のコンタクト孔29a、29bを形成する。第1のコンタクト孔29aを介してドレイン領域25dにコンタクトする電極30を配置する。全体を平坦化膜31で被覆し、平坦化膜31の第2のコンタクト孔29bに対応する箇所に第3のコンタクト孔32を形成し、第3のコンタクト孔32を介してソース領域25sに直接コンタクトする透明電極33を配置する。



【特許請求の範囲】

【請求項 1】 絶縁基板の上に、ゲート絶縁膜を挟んで半導体膜とゲート電極とを配置し、前記半導体膜にソース・ドレイン領域及びチャネル領域を形成した薄膜トランジスタと、

前記ソース・ドレイン領域を被覆する絶縁膜と、
前記絶縁膜を貫通する第 1 と第 2 のコンタクト孔と、
前記第 1 のコンタクト孔を介して前記ソース・ドレイン領域の一方にコンタクトする電極と、
前記絶縁膜及び前記電極を被覆する平坦化膜と、
前記平坦化膜に形成した第 3 のコンタクト孔と、
前記平坦化膜の上に配置され、前記第 3 のコンタクト孔を介して前記ソース・ドレイン領域の他方の半導体膜の表面に直接コンタクトする透明電極と、を具備することを特徴とする表示装置。

【請求項 2】 前記第 2 のコンタクト孔の内部に前記第 3 のコンタクト孔が配置され、前記第 2 のコンタクト孔の内壁を前記平坦化膜が被覆することを特徴とする請求項 1 記載の表示装置。

【請求項 3】 絶縁基板の上に、ゲート電極を挟んで半導体膜とゲート電極とを形成し、前記半導体膜にソース・ドレイン及びチャネルを形成する工程と、
前記ソース・ドレイン領域を被覆する絶縁膜を形成する工程と、

前記絶縁膜に、前記ソース・ドレイン領域の表面を露出する第 1 と第 2 のコンタクトホールを形成する工程と、
前記第 1 のコンタクト孔を通して前記ソース・ドレイン領域の一方の領域にコンタクトする電極を形成する工程と、

前記絶縁膜及び前記電極を被う平坦化膜を形成する工程と、

前記平坦化膜の前記第 2 のコンタクト孔に対応する部分に、第 3 のコンタクト孔を形成する工程と、

前記平坦化膜の上に配置され、前記第 3 のコンタクト孔を介して前記ソース・ドレイン領域の他方の領域にコンタクトする透明電極を形成する工程と、を具備することを特徴とする表示装置の製造方法。

【請求項 4】 前記第 2 のコンタクト孔の内部に前記第 3 のコンタクト孔が配置され、前記第 2 のコンタクト孔の内壁を前記平坦化膜が被覆することを特徴とする請求項 3 記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素駆動素子として薄膜トランジスタ (TFT: Thin Film Transistor) を用いた、液晶表示装置などの表示装置とその製造方法に関する。

【0002】

【従来の技術】図 5 は、液晶表示パネルの表示用スイッチング素子として用いられるボトムゲート型薄膜トラン

ジスタの構造を示す断面図である。絶縁性の透明基板 1 の表面に、高融点金属からなるゲート電極 2 が配置される。このゲート電極 2 は、両端部が透明基板 1 側で広くなるテーパー形状を成す。ゲート電極 2 が配置された透明基板 1 上には、窒化シリコン膜 3 を介して酸化シリコン膜 4 が積層される。窒化シリコン膜 3 は、透明基板 1 に含まれる不純物が後述する活性層に浸入するのを阻止し、酸化シリコン膜 4 は、窒化シリコン膜 3 と共にゲート絶縁膜として働く。酸化シリコン膜 4 上には、ゲート電極 2 を横断して多結晶シリコン膜 5 が積層される。この多結晶シリコン膜 5 が、薄膜トランジスタの活性層となる。

【0003】多結晶シリコン膜 5 上には、酸化シリコン等の絶縁材料からなるストップ絶縁膜 6 が配置される。このストップ絶縁膜 6 に被われた多結晶シリコン膜 5 がチャネル領域 5c となり、その他の多結晶シリコン膜 5 がソース領域 5s 及びドレイン領域 5d となる。ストップ 6 絶縁膜が形成された多結晶シリコン膜 5 上には、酸化シリコン膜 7 及び窒化シリコン膜 8 が積層される。この酸化シリコン膜 7 及び窒化シリコン膜 8 は、ソース領域 5s 及びドレイン領域 5d を含む多結晶シリコン膜 5 を保護する。

【0004】ソース領域 5s 及びドレイン領域 5d 上の酸化シリコン膜 7 及び窒化シリコン膜 8 の所定箇所には、コンタクトホール 9 が形成される。このコンタクトホール 9 を通してソース領域 5s 及びドレイン領域 5d に接続されるアルミニウム電極 10 が、窒化シリコン膜 8 上に配置される。アルミニウム電極 10 が配置された窒化シリコン膜 8 上には、絶縁性で且つ可視光に対して透明な、例えばアクリル樹脂から成る平坦化膜 11 が積層される。この平坦化膜 11 は、ゲート電極 2 やストップ絶縁膜 6 による凹凸を埋めて表面を平坦化する。ソース領域 5s 側のアルミニウム配線 10 上の平坦化膜 11 には、コンタクトホール 12 が形成される。そして、このコンタクトホール 12 を介してアルミニウム配線 10 に接続される ITO (Indium-Tin-Oxide) 膜から成る透明電極 13 が、平坦化膜 11 上に広がるように配置される。この透明電極 13 が、液晶表示パネルの表示電極を構成する。

【0005】以上の薄膜トランジスタにおいては、ドレイン側のアルミニウム電極 10 に供給される映像情報が、ゲート電極 2 に印加される走査制御信号に应答して透明電極 13 に印加される。

【0006】

【発明が解決しようとする課題】しかしながら、アルミ電極 10 に対する ITO 膜のコンタクト抵抗が高く、しばしばコンタクト不良等の事故を引き起こすという欠点があった。これを解決するため、例えばアルミニウム電極 10 の表面にモリブデン (Mo) 等の高融点金属を用いることでコンタクト抵抗を下げる手法もあるが、アル

ミスパッタの後に更にモリブデンのスパッタ工程が入るので、製造工程が煩雑になるという欠点を有している。

【0007】

【課題を解決するための手段】本発明はかかる従来の課題に鑑みなされたもので、平坦化膜のコンタクト孔と絶縁膜（酸化シリコン膜及び窒化シリコン膜）のコンタクト孔とを連結し、透明電極を半導体膜のソース領域に直接コンタクトさせることにより、コンタクト抵抗を容易に減じることができる薄膜トランジスタとその製造方法を提供するものである。

【0008】また、平坦化膜のコンタクト孔に対して絶縁膜（酸化シリコン膜及び窒化シリコン膜）のコンタクト孔を大きく形成し、絶縁膜のコンタクト孔の側壁を平坦化膜の材料で被覆することにより、段差のないコンタクトホール形状を得るものである。

【0009】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。図1は、本発明による、液晶表示パネルの表示用スイッチング素子として用いられるボトムゲート型薄膜トランジスタの構造を示す断面図である。ノンアルカリガラス等からなる絶縁性の透明基板21の表面に、クロム（Cr）等の高融点金属からなるゲート電極22が配置される。このゲート電極22は、両端部が透明基板21側で広がるテーパー形状を成す。ゲート電極22が配置された透明基板21上には、窒化シリコン膜23を介して酸化シリコン膜24が積層される。窒化シリコン膜23は、透明基板21に含まれるナトリウム（Na）等の不純物が後述する活性層に浸入するのを阻止し、酸化シリコン膜24は、窒化シリコン膜23と共にゲート絶縁膜として働く。酸化シリコン膜24上には、ゲート電極22を横断して多結晶シリコン25（半導体膜）が積層される。この多結晶シリコン膜25が、薄膜トランジスタの活性層となる。

【0010】多結晶シリコン膜25上には、酸化シリコン等の絶縁材料からなるストップ絶縁膜26が配置される。このストップ絶縁膜26に被われた多結晶シリコン膜25がチャネル領域25cとなり、その他の多結晶シリコン膜25がソース領域25s及びドレイン領域25dとなる。ストップ絶縁膜26が形成された多結晶シリコン膜25上には、酸化シリコン膜27及び窒化シリコン膜28が積層される。この酸化シリコン膜27及び窒化シリコン膜28は、ソース領域25s及びドレイン領域25dを含む多結晶シリコン膜25を保護する。

【0011】ドレイン領域25d上の酸化シリコン膜27及び窒化シリコン膜28の所定箇所には、第1のコンタクト孔29aが形成される。この第1のコンタクト孔29aを通してドレイン領域25dに接続されるアルミニウム電極30が、窒化シリコン28上に配置される。尚、アルミ電極30とドレイン領域25dとの界面には、両者のコンタクト抵抗を減じるために、モリブデン

（Mo）、チタン（Ti）等の高融点金属を配置してもよい。ソース領域25s上の酸化シリコン膜27及び窒化シリコン膜28の所定箇所には、ソース領域25sの表面を露出する第2のコンタクト孔29bが形成される。

【0012】アルミニウム電極30が配置された窒化シリコン膜28上には、可視光に対して透明な膜厚1.0～1.5μmの、例えばアクリル樹脂、ポリイミド樹脂、SOG等から成る透明絶縁性の平坦化膜31が積層される。この平坦化膜31は、ゲート電極22やアルミニウム電極30、ストップ絶縁膜26等による凹凸を埋めて表面を平坦化する。ソース領域25s側の第2のコンタクト孔29bに対応する箇所の平坦化膜31には、第3のコンタクト孔32が形成される。そして、第3のコンタクト孔32を介してソース領域25sに接続される透明電極33が、アクリル樹脂膜31上に広がるように配置される。この透明電極33は膜厚が800～1000ÅのITO膜から成り、液晶表示パネルの表示電極を構成する。

【0013】平坦化膜31に形成した第3のコンタクト孔32は、例えば6×6μm（CAD図面上）で開口され、窒化シリコン膜28と酸化シリコン膜27に形成した第2のコンタクト孔29bは、例えば10×10μm（CAD図面上）で開口され、両者の中心位置は一致させている。その為、第3のコンタクト孔32は第2のコンタクト孔29bの内部に形成され、第2のコンタクト孔29bの側壁に露出する窒化シリコン膜28と酸化シリコン膜27の表面は、平坦化膜31の材料で被覆される。

【0014】以下に、図1に示した薄膜トランジスタの製造方法を、図2と図3を用いて説明する。

（a）第1工程

絶縁性の透明基板21上に、クロムやモリブデン等の高融点金属をスパッタリングして膜厚が700乃至1500Åの高融点金属膜40を形成する。この高融点金属膜40を所定のパターン形状にパターニングし、ゲート電極22を形成する。このパターニング処理では、ウェットエッチャントによるテーパーエッチングにより、ゲート電極22が、両端部を透明基板21側で広げるテーパー形状（台形状）に形成される。（図2（A）参照）。

（b）第2工程

透明基板21上にゲート電極22を被って膜厚が500～1500Åの窒化シリコン及び膜厚が1000～2000Åの酸化シリコンをプラズマCVD法により順次積層し、窒化シリコン膜23及び酸化シリコン膜24を形成する。続いて酸化シリコン膜24上に、同じくプラズマCVD法により膜厚が300～800Åのシリコンを積層し、非晶質のシリコン膜25を形成する。全体に400乃至500度の加熱処理を与えてシリコン膜25中

に含まれる余分な水素イオンを除去する。そして、エキシマレーザ41をシリコン膜25に照射し、非晶質状態のシリコンが融解するまで加熱する。これにより、シリコンが結晶化し、多結晶状態となる。この多結晶状態のシリコン膜25が、薄膜トランジスタの活性層となる(図2(B)参照)。

(c) 第3工程

シリコン膜25上に膜厚が1000~2000Åの酸化シリコンを積層し、酸化シリコン膜42を形成する。そして、この酸化シリコン膜42をゲート電極22に応じてパターニングし、ゲート電極22に重なるストッパ絶縁膜26を形成する。このストッパ絶縁膜26の形成においては、酸化シリコン膜42を被うホトレジスト膜を形成し、そのレジスト膜を透明基板21側からゲート電極22をマスクとして露光することにより、酸化シリコン膜24の上部にレジストマスクをマスクずれなく形成し、そしてHF系のウェットエッチャントにより酸化シリコン膜42をパターニングすることにより行われる(図2(C)参照)。

(d) 第4工程

ストッパ絶縁膜26が形成されたシリコン膜25に対し、形成すべきトランジスタのタイプに対応するP型あるいはN型のイオンを注入する。即ち、Pチャネル型のトランジスタを形成する場合には、ボロン(B)等のP型イオンを注入し、Nチャネル型のトランジスタを形成する場合には、リン(P)等のN型イオンを注入する。この注入においては、ストッパ絶縁膜26で被われた領域を除いてシリコン膜25にP型あるいはN型の導電性を示す領域が形成される。これらの領域が、ゲート電極22の両側でソース領域25s及びドレイン領域25dとなる。また、ストッパ絶縁膜26で被われた領域がチャネル領域25cとなる(図2(D)参照)。

(e) 第5工程

所定の導電型の不純物イオンが注入されたシリコン膜25にエキシマレーザを照射し、シリコンが融解しない程度に加熱する。これにより、シリコン膜25内の不純物イオンが活性化される。そして、ゲート電極22の両側に所定の幅を残してシリコン膜25を島状にパターニングし、各トランジスタを分離独立させる(図3(A)参照)。

(f) 第6工程

酸化シリコン膜24にシリコン膜25を被ってプラズマCVD法により酸化シリコン及び窒化シリコンを再度積層し、酸化シリコン膜27及び窒化シリコン膜28を順次形成し、次いで400~600度の熱処理によって酸化シリコン膜27及び窒化シリコン膜28のアニール処理を行う。この熱処理は、同時に窒化シリコン膜28中に含まれる水素イオンを酸化シリコン膜27を通してシリコン膜25中に拡散することを兼ねている。拡散した水素イオンはシリコン膜25中のダングリングボンドを

中和し終端する。

【0015】そして、ソース領域25s及びドレイン領域25dとなるシリコン膜25上に、酸化シリコン膜27及び窒化シリコン膜28を貫通する第1と第2のコンタクト孔29a、29bを形成する(図3(B)参照)。

(g) 第7工程

第1のコンタクト孔29a部分に、シリコン膜25のドレイン領域26dに接続されるアルミニウム等の金属からなる電極30を形成する。このアルミニウム電極30の形成は、例えば、第1と第2のコンタクト孔29a、29bが形成された窒化シリコン膜28上にスパッタリングしたアルミニウムをパターニングすることで形成される。尚、アルミニウム電極30とドレイン領域25dとの界面にモリブデン(Mo)、チタン(Ti)等の高融点金属を配置する場合は、前記高融点金属膜とアルミニウムを順次スパッタリングし、これらを順次パターニングすることによって行われる。いずれの場合も、第2のコンタクト孔29bにはアルミニウム材料も高融点金属材料も配置せず、第2のコンタクト孔29b内部にソース領域25sのシリコン膜25表面を露出させる。ここで、ドレイン領域25dに接続されるアルミニウム電極30は、トランジスタの配列方向に沿って連続してドレイン配線を形成する。(図3(C)参照)。

(h) 第8工程

アルミニウム電極30が形成された窒化シリコン膜28上にアクリル樹脂溶液をスピンオン塗布し、焼成して平坦化膜31を形成する。この平坦化膜31は、ストッパ絶縁膜26やアルミニウム電極30による凹凸を埋めて表面を平坦化する。当然、平坦化膜31は第2のコンタクト孔29b内部を埋設する。そして、ソース領域25s上に平坦化膜31を貫通する第3のコンタクト孔32を形成する。この第3のコンタクト孔32の形成は、例えばアクリル樹脂層としてホトレジストと同様の感光性の樹脂を用い、平坦化膜31側からメタルマスクを用いて露光し、選択的に感光した箇所を現像処理によって除去し、そしてリフローすることにより形成される。

【0016】そして、第3のコンタクト孔32部分に、ソース領域25sに接続されるITO等からなる透明電極33を形成する。この透明電極33の形成は、例えば、コンタクト孔32内部の多結晶シリコン膜25表面を先ず沸酸系のエッチャントでスライトエッチングすることにより多結晶シリコン膜25の表面を清浄化し、次いで平坦化膜31上にスパッタリングしたITOをパターニングすることで形成される(図3(D)参照)。

【0017】以上に説明した本実施の形態によれば、以下の作用効果を得ることができる。

(1) 第2と第3のコンタクト孔29b、32を通して透明電極33のITO膜がソース領域25sの多結晶シリコン膜25に直接コンタクトするので、アルミとIT

膜との接触よりも接触抵抗を小さくできる。

(2) アルミとの接触抵抗を減じるための、高融点金属などの手段が無用になるので、構成を簡素化し、コストダウンを図ることができる。

【0018】そして、第2のコンタクト孔29bの大きさより第3のコンタクト孔32の大きさを小さくすることによって、更に以下の作用効果を得ることができる。

(1) 平坦化膜31のアクリル樹脂膜が第2のコンタクト孔29bを埋設し、第3のコンタクト孔32がソース領域25sの多結晶シリコン膜25表面まで延びているので、第3のコンタクト孔の側壁をなだらかに形成でき、透明電極33のコンタクト部分における段切れ等の事故要因を排除できる。

【0019】(2) 第2のコンタクト孔29bの側壁を平坦化膜31の材料で被覆しておくことにより、第8工程において、多結晶シリコン膜25表面を清浄化する沸酸系エッチャントにより酸化シリコン膜27と窒化シリコン膜28が無用にエッチングされることが無い。これにより接触部分の段差の発生を防止できる。尚、本発明は、以上に説明したボトムゲート型薄膜トランジスタについてだけでなく、多結晶シリコン膜25に対してゲート電極22が上部に位置するトップゲート型の薄膜トランジスタについても同様に実施することができる。以下に本発明の他の実施の形態として、トップゲート型薄膜トランジスタに応用した例を説明する。

【0020】図4は、液晶表示パネルの表示用スイッチング素子として用いられるトップゲート型薄膜トランジスタの構造を示す断面図である。絶縁性の透明基板21の表面に、窒化シリコン膜23及び酸化シリコン膜24が積層される。窒化シリコン膜23は、透明基板21に含まれるナトリウム等の不純物イオンの析出を防止し、酸化シリコン膜24は、活性層となる多結晶シリコン膜25の積層を可能にする。酸化シリコン膜24上の所定の領域に、多結晶シリコン膜25が積層される。この多結晶シリコン膜25が薄膜トランジスタの活性層となる。

【0021】多結晶シリコン層25が積層された酸化シリコン膜24上に、ゲート絶縁膜となる酸化シリコン膜24a積層される。そして、酸化シリコン膜24a上に、多結晶シリコン層25と交差する方向に延在して、高融点金属からなるゲート電極22が配置される。このゲート電極22に被われた多結晶シリコン膜25がチャネル領域25cとなり、その他の多結晶シリコン膜25がソース領域25s及びドレイン領域25dとなる。ゲート電極22が配置された酸化シリコン膜24a上に、再度、酸化シリコン膜27及び窒化シリコン膜28が積層される。この酸化シリコン膜27及び窒化シリコン膜28が、ゲート電極22及び多結晶シリコン膜25を保護する層間絶縁膜となる。

【0022】ソース領域25s及びドレイン領域25d

上の酸化シリコン膜24a、27及び窒化シリコン膜28の所定箇所には、第1と第2のコンタクト孔29a、29bが形成される。第1のコンタクト孔29aを通してドレイン領域25dに接続されるアルミニウム電極30が、窒化シリコン膜28上に配置される。ソース領域25sの第2のコンタクト孔29bにはアルミ電極を配置していない。電極30が配置された窒化シリコン膜28上には、可視光に対して透明な例えばアクリル樹脂、ポリイミド樹脂、SOG等から成る絶縁性素材により平坦化膜31が積層される。この平坦化膜31は、ゲート電極22やアルミニウム電極30による凹凸を埋めて表面を平坦化する。

【0023】ソース領域25s側の平坦化膜31には、第3のコンタクト孔32が形成される。そして、第3のコンタクト孔32を介してソース領域25sの多結晶シリコン膜25にコンタクトするITO膜33が、平坦化膜31上に広がるように配置される。このITO膜33が、液晶表示パネルの表示電極を構成する。以上に説明したトップゲート型TFT装置の製造方法は、ボトムゲート型に準じる。以下にその製造方法を図5を用いて簡潔に説明する。

(a) 第1工程

絶縁性の透明基板21上に、プラズマCVD法により窒化シリコン膜23及び酸化シリコン膜24を順次積層し、形成する。さらに、同じくプラズマCVD法によりシリコンを積層し、非晶質のシリコン膜25を形成する。そして、脱水素アニール処理を行った後、エキシマレーザーによりシリコン膜25加熱し、シリコン膜25を多結晶状態とする(図5(A)参照)。

(b) 第2工程

トランジスタの形成位置に対応し、多結晶化されたシリコン膜25を所定の形状にパターニングする。プラズマCVD法によりシリコン膜25を被うようにゲート絶縁膜となる酸化シリコン膜24aを積層する。そして、クロムやモリブデン等の高融点金属をスパッタリングして高融点金属膜を形成し、この高融点金属膜を所定の形状にパターニングし、ゲート電極22を形成する(図5(B)参照)。

(c) 第3工程

ゲート電極22をマスクとし、形成すべきトランジスタのタイプに対応するP型あるいはN型のイオンをシリコン膜25へ注入して、ソース領域25s及びドレイン領域25dを形成する。そして、シリコン膜25にエキシマレーザーを照射してシリコン膜25内の不純物イオンを活性化させる(図5(C)参照)。

(d) 第4工程

酸化シリコン膜24a上にゲート電極22を被ってプラズマCVD法により酸化シリコン膜27及び窒化シリコン膜28を順次形成する。そして、基板全体を窒素雰囲気中で加熱処理することにより、窒化シリコン膜28に

含まれる水素イオンを酸化シリコン膜27、24aを通してシリコン膜25へ導入する。これにより、シリコン膜25中のダングリングボンドが水素イオンによって補われる(図5(D)参照)。

(e) 第5工程

ソース領域及びドレイン領域となるシリコン膜25上に、酸化シリコン膜27、24a及び窒化シリコン膜28を貫通する第1と第2のコンタクト孔29a、29bを形成する。第1のコンタクト孔29a部分に、シリコン膜25に接続されるアルミニウム等の金属からなる電極30を形成する(図示せず)。

(f) 第6工程

電極30が形成された窒化シリコン膜28上に例えばアクリル樹脂溶液を塗布し、焼成して平坦化膜31を形成する。そして、ソース領域25s上の第2のコンタクト孔29bに重ねて平坦化膜31を貫通する第3のコンタクト孔32を形成し、この第3のコンタクト孔32部分に、ソース領域25sに接続されるITO等からなる透明電極33を形成して、図4に示したトップゲート型TFT装置を得る。

【0024】

【発明の効果】以上に説明したとおり、本発明によれば、透明電極33のITO膜を多結晶シリコン膜25の表面に直接コンタクトさせることにより、コンタクト抵抗を増大させることなく、構成を簡素化した薄膜トランジスタを得ることができる利点を有する。

【0025】更に本願請求項2、4によれば、第3のコンタクト孔32の側壁に段差を発生させることが無いの

で、透明電極33のコンタクト部における段切れ等の発生も防止できる利点を有するものである。

【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

【図2】本発明の製造方法を説明するための断面図である。

【図3】本発明の製造方法を説明するための断面図である。

【図4】本発明の他の実施の形態を説明するための断面図である。

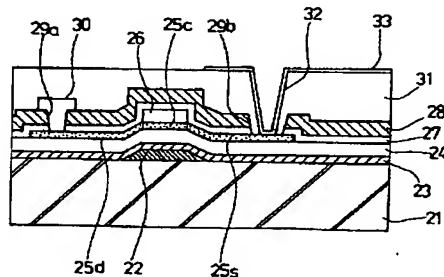
【図5】本発明の他の実施の形態の製造方法を説明するための断面図である。

【図6】従来例を説明するための断面図である。

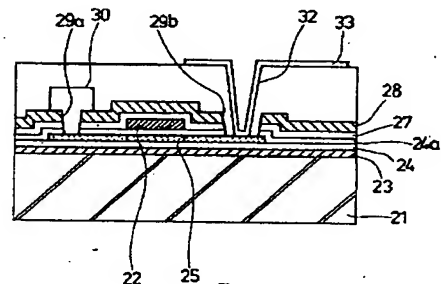
【符号の説明】

- 21・・・透明基板
- 22・・・ゲート電極
- 25・・・シリコン膜
- 25c・・・チャネル領域
- 25s・・・ソース領域
- 25d・・・ドレイン領域
- 26・・・ストップ絶縁膜
- 29a・・・第1のコンタクト孔
- 29b・・・第2のコンタクト孔
- 30・・・電極
- 31・・・平坦化膜
- 32・・・第3のコンタクト孔
- 33・・・透明電極(ITO膜)

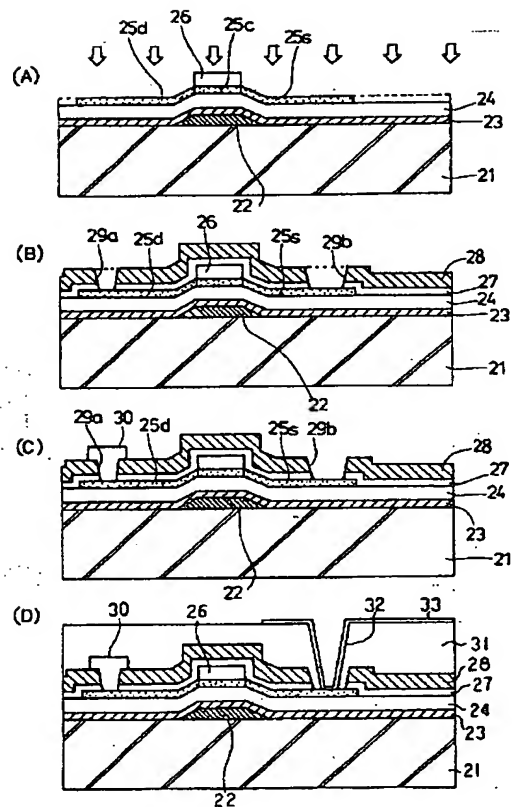
【図1】



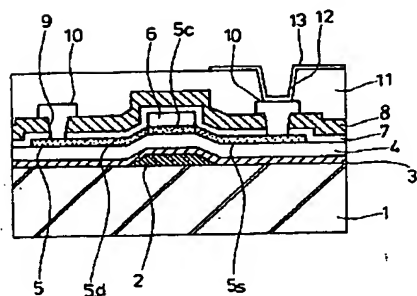
【図4】



【図 3】



【図 6】



【図5】

